

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 2001-308222

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

H01L 23/12  
H01L 21/60  
H05K 1/02  
H05K 1/18  
H05K 3/34  
// H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number : 2000-126285

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.04.2000

(72)Inventor : KOMIYA YASUMARO  
SUGA TAKU  
HAYASHI YOSHIHIKO

(54) MOUNTING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a feeding structure of power source of low cost and low impedance aiming to reduce power source noise which causes malfunction of a high speed logic circuit.

SOLUTION: An insulating layer of a power source layer which connects a LSI and a by-pass capacitor is made thin, so as to reduce impedance of the power source layer.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAvpay.SDA413308222P...> 2005/06/23

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-308222

(P2001-308222A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int. Cl.	識別記号	P I	チーフ・ド (参考)
H 0 1 L 23/12		H 0 1 L 21/60	3 1 1 S 5 E 3 1 9
21/60	3 1 1	H 0 5 K 1/02	N 5 E 3 3 6
H 0 5 K 1/02		1/18	L 5 E 3 3 8
1/18			S 5 F 0 4 4
		3/34	5 0 5 A

審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-126285 (P2000-126285)

(22) 出願日 平成12年4月21日 (2000.4.21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小宮 孝康

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72) 発明者 須賀 卓

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(74) 代理人 100075098

弁理士 作田 康夫

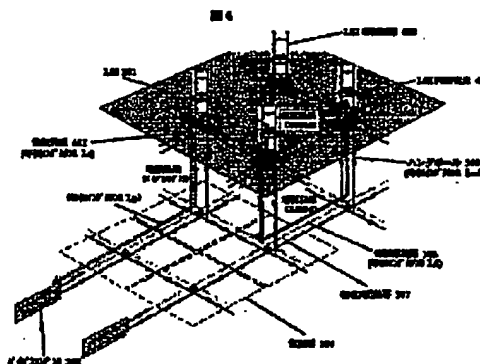
最終頁に続く

(54) 【発明の名称】 実装基板

(57) 【要約】

【課題】 高速論理回路の駆動作要因となる電源雑音の抑制を目的として低コストな低インピーダンス電源給電構造を提供する。

【解決手段】 LSIとバイパスコンデンサを接続する電源層に対して、絶縁層を薄膜化し、電源層のインピーダンスを低減する。





3

7302がエリプシ状に複素配線されたものを用いた。各パンプは毎周期に導引性を有し配列されている。その中で電源ベンゾ301、GNDベンゾ302について最も規則性を有し配列されている。すなわち、電源ベンゾ301を配置したベンゾ列とGNDベンゾ302を配置したベンゾ列とが交互に配置され、それぞれの列において電源ベンゾ301もしくはGNDベンゾ302は番号用ベンゾと交互に配置されている。

[0011] この給電構造を電源ベンゾ301毎にLSI等価回路を備えるものとしてモジュールすると図44に示す2次元等価回路モジュールとなる。図4ではパイバコン細化された、その等価インダクタンスLは1mH格子面に対して $200 \sim 300\mu H$ の値となる。ハンガバー等の等価インダクタンスLcb=20pH前後の値と比較すると、このインダクタンス値は十分に大きい。そのため高周波領域では、ハンガバー108を介してパイバコンベンゾ102に至る経路に比べて、点線で示すような電源幹線401を介した電源経路（幹線経路）は成り立ちにくい。

[0013] 点線で示すような電源幹線401（幹線経路）を介した電源経路を成り立ちやすくするには、電源幹線401をハンガバーよりも小さなインダクタンス値にすれば良いのであるが、購入したLSIを実装するような場合にはLSI内部の構成を対策することは現実的ではない。隣接するLSI等価回路402のLSI内部容量403を有効に利用できれば、すなわちLSI内部容量403からの電荷供給が容易な構成となれば、電源インピーダンスの低減を図ることができると考えられる。

[0014] そこで、我々は、実験で示すようなハンガバーを介した電源経路（幹線経路）を利用することとLSI内部容量403を利用して電源インピーダンスの低減を図ることとした。

図5は、図4の低減には境界がある。

7302がエリプシ状に複素配線されたものを用いた。各パンプは毎周期に導引性を有し配列されている。その中で電源ベンゾ301、GNDベンゾ302について最も規則性を有し配列されている。すなわち、電源ベンゾ301を配置したベンゾ列とGNDベンゾ302を配置したベンゾ列とが交互に配置され、それぞれの列において電源ベンゾ301もしくはGNDベンゾ302は番号用ベンゾと交互に配置されている。

[0011] この給電構造を電源ベンゾ301毎にLSI等価回路を備えるものとしてモジュールすると図44に示す2次元等価回路モジュールとなる。図4ではパイバコン細化された、その等価インダクタンスLは1mH格子面に対して $200 \sim 300\mu H$ の値となる。ハンガバー等の等価インダクタンスLcb=20pH前後の値と比較すると、このインダクタンス値は十分に大きい。そのため高周波領域では、ハンガバー108を介してパイバコンベンゾ102に至る経路に比べて、点線で示すような電源幹線401を介した電源経路（幹線経路）は成り立ちにくい。

[0013] 点線で示すような電源幹線401（幹線経路）を介した電源経路を成り立ちやすくするには、電源幹線401をハンガバーよりも小さなインダクタンス値にすれば良いのであるが、購入したLSIを実装するような場合にはLSI内部の構成を対策することは現実的ではない。隣接するLSI等価回路402のLSI内部容量403を有効に利用できれば、すなわちLSI内部容量403からの電荷供給が容易な構成となれば、電源インピーダンスの低減を図ることができると考えられる。

[0014] そこで、我々は、実験で示すようなハンガバーを介した電源経路（幹線経路）を利用することとLSI内部容量403を利用して電源インピーダンスの低減を図ることとした。

図5は、図4の低減には境界がある。

(3) 特開2001-308222

5

て1/10にすることができた。この結果、隣接するLSIの内部容量403間の電源経路(基板経由)を40~50pHの低インダクタンスにて接続することができ、 $L_c=200\sim300\text{pH}$ を有する電源幹線401に対し1/5~1/6のインダクタンス値に低減された電源経路を構成することができた。

【0024】また絶縁層106の薄膜化による電源層インダクタンスの低減は、LSI101とバイパスコンデンサ102との間のインダクタンス $L_p$ を低減することにもなり、高周波領域における給電構造の電源-GND間のインピーダンスを低減した電源層104を実現することができた。

【0025】例えば、絶縁層106の膜厚が100 $\mu\text{m}$ の電源層を用いた基板に比べて、膜厚が3 $\mu\text{m}$ の電源層を用いた基板では、LSI-バイパスコンデンサ間のインダクタンス $L_p$ を1/10以下にすることができた。

【0026】図7は本発明の給電構造の電氣的等価回路における電源インピーダンス周波数特性の解析結果である。10M~1GHzの周波数領域において、絶縁層106の膜厚が100 $\mu\text{m}$ の電源層104では電源インピーダンス $Z$ は最大値で15.5m $\Omega$ を示しているが、絶縁層106の膜厚が5 $\mu\text{m}$ で構成された電源層104では、 $Z=5.6\text{m}\Omega$ と約1/3に低減することが可能となった。

【0027】図8は、実装基板上に薄膜形成された薄膜電源層801を新たに構成することで、電源経路(基板経由)および電源経路(バイパスコンデンサ)のインダクタンスを低減し、給電構造のインピーダンスを低減したものである。

【0028】本構造は従来のLSIモジュールに対して、薄膜電源層を形成する工程を追加するだけで実現することが出来、同様に電源インピーダンスを低減することが出来る。

【0029】例えば、絶縁層106の膜厚が100 $\mu\text{m}$ の電源層104に対して、絶縁層厚3 $\mu\text{m}$ 程度の薄膜電源層801を新たに構成すると、電源層の電源バンク間インダクタンスを70pHから2pHと大幅に低減することができた。

【0030】これまで説明してきた実施例においては、基板上の1つのLSIとその1辺方向に複数個のバイパスコンデンサが実装されている簡略化された給電構造にてその効果を示したが、基板上に複数個のLSIが実装され、各LSIに対し4辺方向にバイパスコンデンサが搭載された給電構造に対しても同様の効果を得ることが出来る。また、LSIの有する電源バンク間隔も1mm以外であっても同様の効果が得られることは言うまでもない。

【0031】また、これまで説明してきたインダクタンスの関係が満足されるのであれば、ハンダボールでなくとも、ポリマーバンプなどの樹脂を用いた接続構造、C

(4)

特開2001-308222

6

uなどの金属を用いて形成されたバンプであっても良い。

【0032】また、BGAタイプの半導体装置について説明してきたが、これに限らず、CSP、WFPなどの半導体装置はもちろんのこと、QFPなどのリードタイプの半導体装置であっても同様の効果を得ることができる。また、ベアチップの実装についても同様である。この場合、ベアチップの有する金バンプがACFや導電性接着剤やはんだ材料を介して接続されるのが一般的であるが、ここで接続部位はACFや導電性接着剤やはんだ材料と金バンプとを含むものとなる。

【0033】また、ハンダバンプを構成するはんだ材料としては低インピーダンス接続の観点からして非磁性体かつ低抵抗なものが良い。

【0034】以上述べたように、絶縁層の膜厚を30 $\mu\text{m}$ 以下に薄く構成された電源層は、電源配線層及びGND配線層を流れる電流間の相互電磁誘導によって高周波領域で問題となるインダクタンスを低下でき、より低いインピーダンスで隣接するLSI内部容量間、及びLSIとバイパスコンデンサを接続することが出来る。これにより電源経路に構成された各バイパスコンデンサからの電荷供給を容易にし、給電構造の電源-GND間インピーダンス低下させ低コストな低雑音給電系を実現できる。

【0035】

【発明の効果】本発明によれば、給電系の電源インピーダンスを低減した実装基板を提供することができる。

【図面の簡単な説明】

【図1】LSI等を実装した基板構成を示す図

【図2】バイパスコンデンサの配置を示す図

【図3】LSIのバンプ構造を示す図

【図4】図1に示す実装構造の2次元等価回路モデルを示す図

【図5】従来の実装構造を示す図

【図6】LSIとバイパスコンデンサを接続する電源層の電源バンク間インダクタンス解析結果を示す図

【図7】インピーダンス周波数特性を示す図

【図8】LSI等を実装した基板構成を示す図

【符号の説明】

101 LSI  
102 バイパスコンデンサ  
103 基板  
104 電源層  
105 電源配線層  
106 絶縁層  
107 GND配線層  
108 ハンダボール  
109 スルーホール  
301 電源バンプ  
302 GNDバンプ

50

(5)

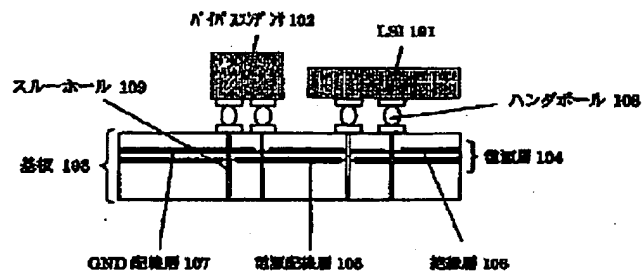
特開2001-308222

8

401 電源幹線  
402 L S I 等価回路  
403 L S I 内部容量

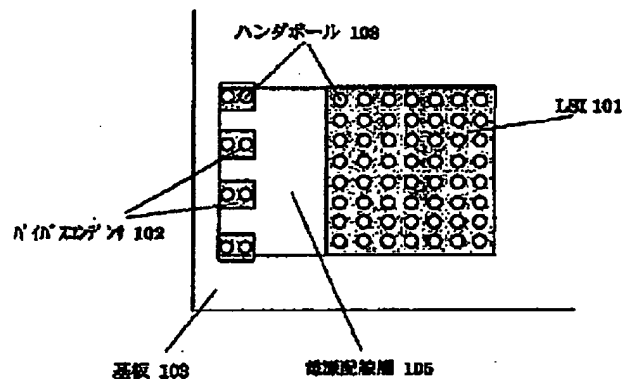
\* 501 MCC  
502 コンデンサ層  
801 誘導電源層

【图 1】



【圖2】

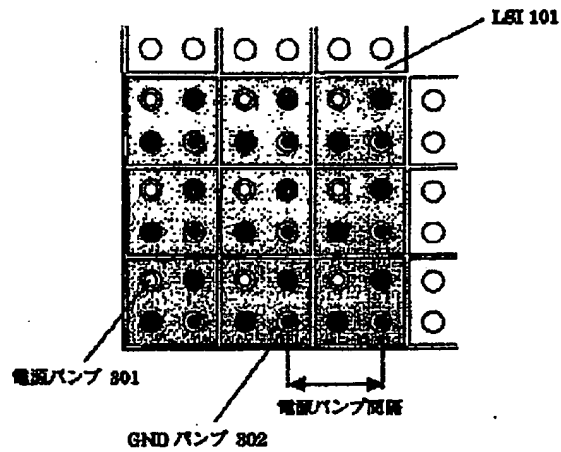
**2**



(6) 特開2001-308222

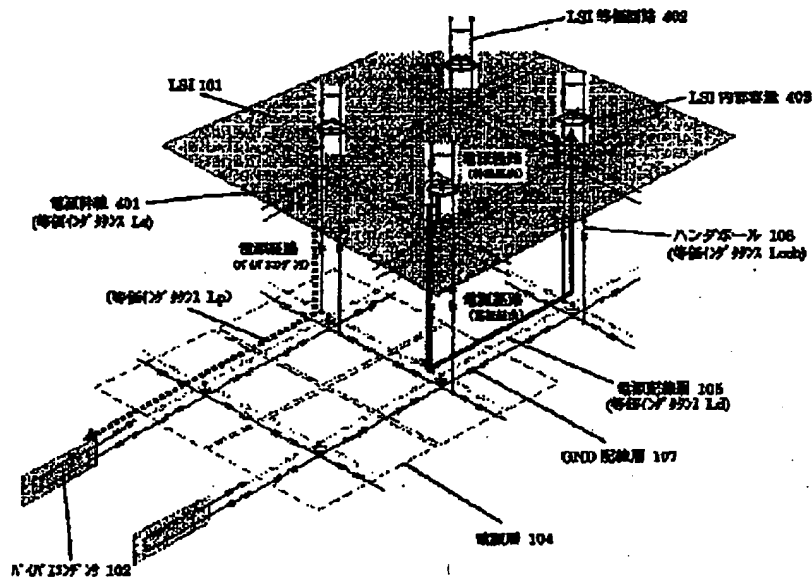
【図3】

図3



【図4】

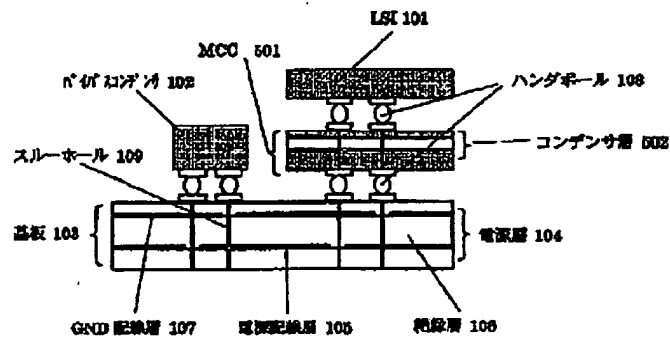
図4



(7) 特開2001-308222

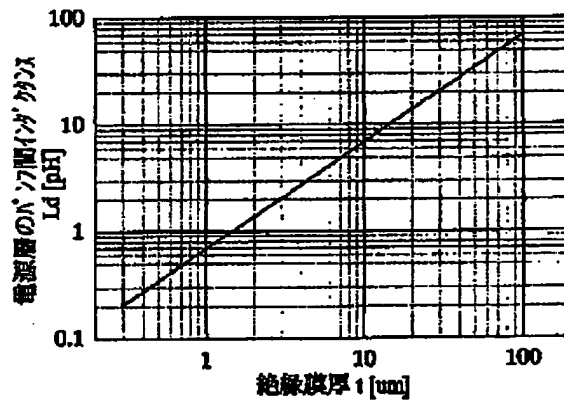
【図5】

図5



【図6】

図6

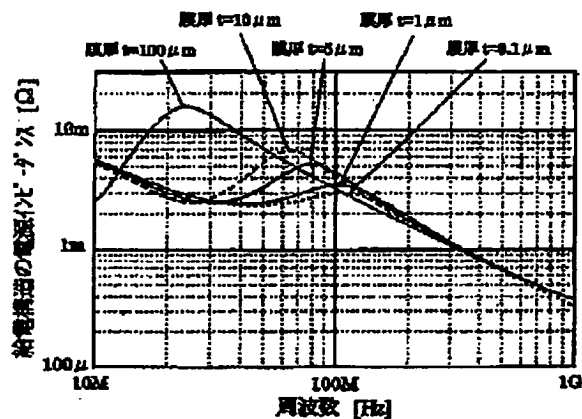




(8) 特開2001-308222

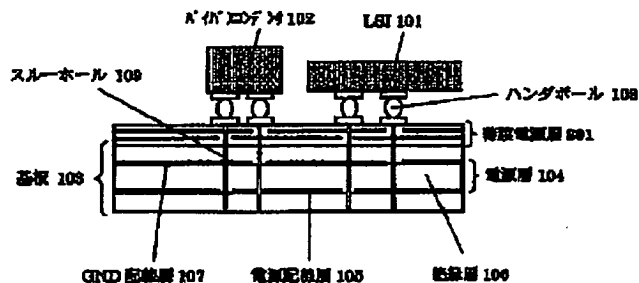
【図7】

図7



【図8】

図8



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 5 K 3/34	5 0 5	H 0 1 L 23/12	E
// H 0 1 L 25/065		25/08	B
25/07			
25/18			

(72)発明者 林 良彦  
 神奈川県横浜市戸塚区吉田町252番地 株  
 式会社日立製作所生産技術研究所内

(9)

特開2001-308222

Fターム(参考) SE319 AA03 AB05 AC01 BB04 CC33  
GG01  
SE336 AA04 BB03 CC32 CC53 CC58  
EE01 GG11  
SE338 AA03 AA16 BB63 CC01 CC04  
CC06 DD11 EE13 EE14  
SF044 KK07 RR01